

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018102

International filing date: 30 November 2004 (30.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-008022
Filing date: 15 January 2004 (15.01.2004)

Date of receipt at the International Bureau: 20 January 2005 (20.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

30.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 0 8 0 2 2
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 0 8 0 2 2]

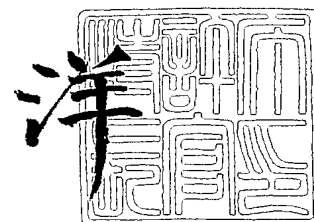
出 願 人 本 田 技 研 工 業 株 式 有 限 公 司
Applicant(s):



2 0 0 5 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 2 0 3 7 6

【書類名】 特許願
【整理番号】 H103327201
【提出日】 平成16年 1月15日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 25/18
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 北村 謙二
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 谷高 真一
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 遠藤 隆男
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 富永 雄二郎
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 田中 俊秀
【発明者】
 【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内
 【氏名】 佐藤 浩一郎
【特許出願人】
 【識別番号】 000005326
 【氏名又は名称】 本田技研工業株式会社
【代理人】
 【識別番号】 100067356
 【弁理士】
 【氏名又は名称】 下田 容一郎
【選任した代理人】
 【識別番号】 100094020
 【弁理士】
 【氏名又は名称】 田宮 寛祉
【手数料の表示】
 【予納台帳番号】 004466
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9723773
 【包括委任状番号】 0011844

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型の高抵抗層と、
前記第 1 導電型の高抵抗層の上部に形成された第 2 導電型のベース層と、
前記第 2 導電型のベース層の上部に形成された第 1 導電型のエミッタ領域と、
前記エミッタ領域に接続されるエミッタ電極と、
前記第 2 導電型のベース層に隣接して絶縁されたゲート電極と、
前記エミッタ領域を含むセル領域周囲の拡散を深くしたガードリング部と、
前記ガードリング部の上部に形成し、かつ、前記セル領域の上部にはかからないパッシベーション膜と、
前記第 1 導電型のバッファ層の下面に形成される第 2 導電型のコレクタ層と、
前記コレクタ層に接続されるコレクタ電極と、
前記パッシベーション膜に非接触となる高さで前記エミッタ電極に接続される金属平板の上部放熱部を備えたことを特徴とする半導体装置のモジュール構造。

【請求項 2】

前記半導体装置のモジュール構造は、さらに、ダイオード部を備え、該ダイオード部の上部のカソード電極と前記上部放熱部が接続されることを特徴とする請求項 1 記載の半導体装置のモジュール構造。

【書類名】 明細書

【発明の名称】 半導体装置のモジュール構造

【技術分野】

【0001】

本発明は、半導体装置のモジュール構造に関し、特に、絶縁ゲート型バイポーラトランジスタ（IGBT）等のパワーデバイスを含む半導体装置でのデバイス上部に放熱機構を備えた半導体装置のモジュール構造に関するものである。

【背景技術】

【0002】

比較的大電流を制御するスイッチング半導体素子としてパワーデバイスが知られている。パワーデバイスにはパワートランジスタやパワーMOSFET、IGBT（Insulated Gate Bipolar Transistor）等があり、このうちIGBTは、電圧駆動による駆動の容易性と伝導度変調効果による低損失性の長所を持つデバイスとして電動車両のインバータ等に用いられている。

【0003】

図5は、従来のIGBTのモジュール構造を示す断面図である。従来のIGBTモジュール100は、作動部101とガードリング部102を備えた半導体素子103を冷却する放熱板104を備えている。放熱板104は、作動部101とガードリング部102の下部に設けられた絶縁体からなる基板105に接合された下部放熱板から成る。また、半導体素子103は絶縁ゲート型バイポーラトランジスタ（IGBT）からなる。

【0004】

作動部101は、第1導電型（N型）半導体の高抵抗層106とその下部に位置する第1導電型（N⁺型）半導体のバッファ層107と、第1導電型半導体の高抵抗層106の上部に形成された第2導電型（P型）半導体のベース層108と、第2導電型半導体のベース層108の上部に形成された第1導電型（N型）半導体のエミッタ領域109と、エミッタ領域109に接触されるエミッタ電極110と、第2導電型半導体のベース層108のチャネル領域上に絶縁体111で絶縁して形成されたゲート電極112からなり、第1導電型半導体のバッファ層107の下面には、第2導電型（P⁺型）半導体のコレクタ層113が形成され、コレクタ層113には、コレクタ電極114が接触されている。

【0005】

また、ガードリング部102は、N型半導体層106の上部に第2導電型（P型）半導体層115が形成され、その上部にSiO₂等の絶縁膜116が堆積されている。また、117はゲート電極引き回し線である。

【0006】

作動部101とガードリング部102の上で、エミッタ電極110の一部の上と絶縁膜116の上には、リーク電流抑制のために、絶縁膜116であるSiO₂が剥き出しにならないようにポリイミド等のパッシベーション膜118で表面を覆う。

【0007】

半導体素子103を構成する半導体は、シリコン（Si）からなり、エミッタ電極110は、アルミニウムシリコン（AlSi）からなり、コレクタ電極114は銀（Ag）や金（Au）からなる金属114aとニッケル（Ni）からなる金属114bで形成され、コレクタ電極114と基板105は半田119で接合されており、エミッタ電極110からはアルミニウム等からなるワイヤ120で配線されている。また、放熱板104はアルミニウムや銅等で形成される。基板105は放熱板104に半田121で接合されている。

【0008】

図6は、従来のダイオードのモジュール構造を示す断面図である。従来のダイオードモジュール200は、作動部201とガードリング部202を備えた半導体素子203を冷却する放熱板204を備えている。放熱板204は、作動部201とガードリング部202の下部に設けられた絶縁体からなる基板205に接合されている。半導体素子203は

、ダイオードである。

【0009】

作動部 201 は、第 1 導電型 (N 型) 半導体の高抵抗層 206 とその下部に位置する第 1 導電型 (N⁺ 型) の半導体層 207 と、第 1 導電型半導体の高抵抗層 206 の上部に形成された第 2 導電型 (P⁺) の半導体層 208 と、第 2 導電型の半導体層 208 に接触されたカソード電極 209 と、第 1 導電型の半導体層 207 に接触されたアノード電極 210 からなる。

【0010】

また、ガードリング部 202 には、N 型半導体層 206 の上部に第 2 導電型 (P 型) 半導体層 211 が形成され、その上部に SiO₂ 等の絶縁体 212 が堆積されている。カソード電極 209 の一部の上と SiO₂ からなる絶縁体 212 の上には、リーク電流抑制のために、SiO₂ が剥き出しにならないようにポリイミド等のパッシベーション膜 213 で表面を覆う。

【0011】

半導体素子 203 を構成する半導体は、シリコン (Si) であり、カソード電極 209 は、アルミニウムシリコン (AlSi) やアルミニウム／チタンニッケル／チタン (Al/TiNi/Ti) であり、アノード電極 210 は銀 (Ag) や金 (Au) 等の金属 210a とニッケル (Ni) 等の金属 210b からなり、アノード電極 210 と基板 205 は半田 214 で接合されており、カソード電極 209 からはアルミニウム等からなるワイヤ 215 で配線されている。また、放熱板 204 はアルミニウムや銅等で形成される。基板 205 は放熱板 204 に半田 216 で接合されている。

【0012】

これらパワーデバイスを、電動車両のインバータ等に用いる場合、数百アンペア (A) 程度の大電流が流れることになり、半導体素子自身が発熱した。そのため、従来は半導体素子の下部、コレクタ電極側にヒートシンクや水冷機構を設け、冷却していた。しかしながら、半導体素子上面側のセル冷却がされず、セルが破壊されることがあった。

【0013】

これに対し、半導体素子の上面側に平面の金属板 (ストラップ) を備え、電極からのリードと放熱板を兼ねることにより、半導体素子上面から放熱を行う技術が存在する (例えば、特許文献 1 ~ 特許文献 3 参照)。

【0014】

例えば、特許文献 1 では、絶縁基板上に装着されたパワー半導体チップおよび金属平板によって形成され、上記パワー半導体チップの電極部と対向する電極対向部と、この電極対向部から折曲されて延在する立ち上げ部と、この立ち上げ部に連なる導出部とを有する配線部材を備えたパワー半導体モジュールにおいて、上記パワー半導体チップの電極部と、上記配線部材の電極対向部とを導電性樹脂によって接合している。

【0015】

特許文献 2 では、パワー半導体素子が、その下面が放熱板上に搭載されて筐体内に収納されるパワー半導体モジュールにおいて、上記パワー半導体素子の上面と上記放熱板上とに接合される平板状またはブロック状の放熱部材を備え、放熱部材を介して上記半導体素子の上面から、上記放熱板に放熱するようにした。

【0016】

特許文献 3 では、メインフレーム上に 2 またはそれ以上のパワー素子を配して形成される半導体装置であって、金属の接続用フレームを介して少なくともパワー素子の活性面どうしを接続する。

【0017】

特許文献 1 ~ 特許文献 3 での従来の半導体素子の上面側に平面の金属板 (ストラップ) を備え、素子上面から放熱を行う技術では、半導体素子上面とストラップとを、ハンダや導電性樹脂などの導電性とある程度の熱伝導度を備えた接着剤により、電氣的に接続している。

【0018】

そのため、特許文献1～特許文献3に記載されるような、半導体素子の上面側に平面の金属板（ストラップ）を備えて素子上面から放熱を行う技術を適用すると、パッシベーション膜直下に形成されたセルとそれ以外のセルとで放熱特性が大幅に異なる。このような状態でセルが動作すると電流が流れ、ジュール熱が発生し、ラッチアップ現象が起きやすくなる。ラッチアップが起きると、局所的に電流が流れ高熱が発生して、PN接合が破壊するなどのセル破壊の原因になっていた。

【0019】

また、この場合、金属であるストラップの熱膨張係数が、半導体素子（Si）とパッシベーション膜（ポリイミド、SiN、SiO、SiON、PSG（phosphorous Silicate Glass）、SiO₂、NSG（Nondoped Silicate Glass）等）または、シリコン基板の熱膨張係数と異なるため、半導体素子自身の発熱や熱衝撃試験時の熱衝撃によりパッシベーション膜下のガードリング部に横方向の応力がかかり、ガードリング部のシリコン基板にクラックが発生する。このクラックにより、結果として耐圧低下を引き起こす。

【0020】

また、従来の半導体素子では、パッシベーション膜を、パターン加工時に起きるサイドエッジを考慮し、セル領域のエミッタ電極上部まで形成していた。

【特許文献1】特開2000-124398号公報

【特許文献2】特開2000-156439号公報

【特許文献3】特開2002-33445号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

本発明の課題は、半導体素子の上面から放熱を行う構造でのストラップと半導体素子とパッシベーション膜との熱膨張係数の違いによるガードリング部に発生する応力によって生じる耐圧低下の問題を解消することと、パッシベーション膜直下のセルとそれ以外のセルとで放熱特性が大幅に異なるために生じるセル破壊の問題を解消することにある。

【0022】

本発明の目的は、上記の課題を鑑み、ガードリング部に発生する応力を低減し、耐圧低下とセル破壊が生じにくい半導体装置のモジュール構造を提供することにある。

【課題を解決するための手段】

【0023】

本発明に係る半導体装置のモジュール構造は、上記の目的を達成するために、次のように構成される。

【0024】

第1の半導体装置のモジュール構造（請求項1に対応）は、第1導電型の高抵抗層と、第1導電型の高抵抗層の上部に形成された第2導電型のベース層と、第2導電型のベース層の上部に形成された第1導電型のエミッタ領域と、エミッタ領域に接続されるエミッタ電極と、第2導電型のベース層に隣接して絶縁されたゲート電極と、エミッタ領域を含むセル領域周囲の拡散を深くしたガードリング部と、ガードリング部の上部に形成し、かつ、セル領域の上部にはかからないパッシベーション膜と、第1導電型のバッファ層の下面に形成される第2導電型のコレクタ層と、コレクタ層に接続されるコレクタ電極と、パッシベーション膜に非接触となる高さでエミッタ電極に接続される金属平板の上部放熱部を備えたことで特徴づけられる。これにより、ガードリング部に発生する応力を低減し、耐圧低下とセル破壊を生じにくくすることができる。

【0025】

第2の半導体装置のモジュール構造（請求項2に対応）は、上記の構成において、好ましくは、さらに、ダイオード部を備え、ダイオード部の上部のカソード電極と上部放熱部が接続されていることで特徴づけられる。これにより、ガードリング部に発生する応力を低減し、耐圧低下とセル破壊や素子破壊が生じにくい半導体装置を形成することができる。

。【発明の効果】

【0026】

本発明によれば、パワー半導体素子の上面側にリードと放熱板を兼ね備えたストラップを装着することで起こるセル破壊やガードリング部に応力がかかることを原因とした耐圧低下を防ぐことが可能となる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の好適な実施形態（実施例）を添付図面に基づいて説明する。

【0028】

図1は、本発明の第1の実施形態に係る半導体装置のモジュール構造の主要部を示す断面図である。この実施形態では半導体装置として絶縁ゲート型バイポーラトランジスタ（IGBT）を用いている。IGBTモジュール10は、作動部11とガードリング部12を備えた半導体素子13を冷却する放熱板14、15を備えている。

【0029】

放熱板14、15は、作動部11とガードリング部12の下部に設けられた絶縁体からなる基板34に接合した下部放熱板14と、作動部11の上部のエミッタ電極16と、金属17と金属18と接着剤19を介して接合し、ガードリング部12の上部に堆積されたパッシベーション膜20とは間隙21を設けて接合しない上部放熱板（ストラップ）15から成る。金属17と金属18は、エミッタ電極16と接着剤19の相関金属であり、金属18は銀（Ag）、金（Au）等であり、金属17はニッケル（Ni）、チタン／ニッケル（Ni／Ti）等である。また、接着剤19は半田や導電性樹脂等である。パッシベーション膜20は、ポリイミド、窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）、燐ガラス（PSG）、非ドープケイ酸塩ガラス（NSG）、二酸化ケイ素（SiO₂）等からなっている。また、半導体素子13は絶縁ゲート型バイポーラトランジスタ（IGBT）からなる。

【0030】

作動部11は、第1導電型（N型）半導体の高抵抗層22とその下部に位置する第1導電型（N⁺型）半導体のバッファ層23と、第1導電型半導体の高抵抗層22の上部に形成された第2導電型（P⁺型）半導体のベース層24と、第2導電型半導体のベース層24の上部に形成された第1導電型（N型）半導体のエミッタ領域25と、エミッタ領域25に接触されたエミッタ電極16と、第2導電型半導体のベース層24のチャネル領域上に絶縁体26で、絶縁して形成されたゲート電極27とを備え、第1導電型半導体のバッファ層23の下面には、第2導電型半導体のコレクタ層28が形成され、コレクタ層28には、銀（Ag）や金（Au）等の金属29bとニッケル（Ni）等の金属29aからなるコレクタ電極29が接触されている。

【0031】

また、ガードリング部12は、N型半導体層22の上部に第2導電型（P型）半導体層30が形成され、その上部にSiO₂等の絶縁層31が堆積されている。また、32はゲート電極引き回し線である。ガードリング部12の上には、リーク電流抑制のために、絶縁層31であるSiO₂が剥き出しにならないようにポリイミドや窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）等のパッシベーション膜20で表面を覆う。また、パッシベーション膜20は、作動部11の上部にはかからない。

【0032】

この半導体装置を構成する半導体は、例えば、シリコン（Si）であるが、それに限らずガリウムヒ素（GaAs）などの化合物半導体でもよい。エミッタ電極16は、アルミニウムシリコン（AlSi）であり、コレクタ電極29と基板34は半田35で接合されている。また、放熱板14はアルミニウムや銅等で形成される。また、上部放熱板（ストラップ）15もアルミニウムや銅等で形成される。

【0033】

基板 34 は両面に銅やアルミニウム等からなる金属薄板（図示せず）が接着されたアルミナや窒化アルミニウム、窒化ケイ素等からなる。基板 34 は半田等 37 により放熱板 14 上に接合され、コレクタ電極 29 は半田 35 等の導電性材料で、基板 34 上の金属薄板に電氣的に接続されて、半導体素子 13 は基板 34 を介して下部放熱板 14 上に搭載される。また、上部放熱板（ストラップ）15 は、基板 34 に半田 36 によって接合されている。

【0034】

IGBT モジュール 10 は、下部放熱板 14 下で高熱伝導性のグリース等によってヒートシンク等の放熱器に接合されており、IGBT モジュール 10 の運転時に半導体素子（IGBT 素子）13 で発生する熱を下部放熱板 14 と上部放熱板 15 を介して放熱器に伝導して放熱し、これにより IGBT 素子 13 が冷却される。この様に構成される IGBT モジュール 10 では、IGBT 素子 13 で発生する熱は、コレクタ電極 29 側の IGBT 素子 13 下面から基板 34 と下部放熱板 14 を介して放熱器に伝導される。一方エミッタ電極 16 側の IGBT 素子 13 上面では、上部放熱板 15 が接着剤 19 を介して IGBT 素子 13 のエミッタ電極 16 に接合され、さらにこの上部放熱板 15 は半田 36 等により基板 34 に接合されている。上部放熱板 15 は断面積の大きな平板状であるため、熱伝導路として用いられ、IGBT 素子 13 で発生する熱は、IGBT 素子 13 のエミッタ電極 16 側の IGBT 素子 13 上面からも、接着剤 19、上部放熱板 15、基板 34 および下部放熱板 14 を介して放熱器に伝導される。

【0035】

このように、IGBT 素子 13 で発生する熱は、IGBT 13 のエミッタ電極 16 側、コレクタ電極 29 側の両側から放熱器へ伝導するので、従来の IGBT モジュールのように IGBT 素子 13 のコレクタ電極 29 側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これにより IGBT モジュール 10 の冷却性能が向上し、IGBT 素子 13 の発熱温度を低減することができる。また、上部放熱板 15 を金属で構成したため、IGBT 素子 16 からの放熱を担うだけでなく、IGBT 素子 13 とエミッタ用の外部電極端子（図示せず）間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

【0036】

さらに、この上部放熱板 15 は、ガードリング部 12 上部のパッシベーション膜 20 との間に間隙 21 があり、パッシベーション膜 20 と接合していないので、温度上昇があったときの上部放熱板 15 の膨張とパッシベーション膜 20、ガードリング部 12 の熱膨張が異なってもガードリング部 12 の N 型高抵抗層 22 や P 型半導体層 30、N⁺ 型バッファ層 23、コレクタ層 28 が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板でのクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜 20 がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起りにくくなり、セル破壊を低減することができる。

【0037】

なお、上記のような構造は、図 2 で示すようなトレンチ構造の素子に対しても用いることができる。図 2 は、本発明をトレンチ構造のデバイスに適用したものである。セル領域（作動部 11）の構造は異なるが、この発明の要部である、セル領域上にパッシベーション膜 50 を備えない点と、上部放熱板がパッシベーション膜に非接触のため、ストレスを与えない点は同様である。また、図 2 においての符号は、図 1 での構造と同様の機能を有する部材に同様の符号を付している。

【0038】

図 3 は、本発明の第 2 の実施形態に係る半導体装置のモジュール構造を示す断面図である。この実施形態では、半導体装置を構成する半導体素子はダイオードである。ダイオードモジュール 40 は、作動部 41 とガードリング部 42 を備えた半導体素子 43 を冷却する放熱板 44、45 を備えている。

【0039】

放熱板 44、45は、作動部 41とガードリング部 42の下部に設けられた絶縁体からなる基板 58に接合した下部放熱板 44と、作動部 41の上部のカソード電極 46と、金属 47と金属 48と接着剤 49を介して接合し、ガードリング部 42の上部に堆積されたパッシベーション膜 50とは間隙 51を設けて接合しない上部放熱板（ストラップ） 45から成る。金属 47と金属 48は、カソード電極 46と接着剤 49の相関金属であり、金属 47は銀（Ag）、金（Au）等であり、金属 48はニッケル（Ni）、チタン／ニッケル（Ni／Ti）等である。また、接着剤 49は、半田や導電性樹脂等である。パッシベーション膜 50はポリイミド、窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）、燐ガラス（PSG）、非ドープケイ酸塩ガラス（NSG）、二酸化ケイ素（SiO₂）等からなっている。また、半導体素子 43は、ダイオードからなる。

【0040】

作動部 41は、第1導電型（N型）半導体の高抵抗層 52とその下部に位置する第1導電型（N⁺型）の半導体層 53と、第1導電型（N型）半導体の高抵抗層 52の上部に形成された第2導電型（P⁺型）の半導体層 54と、第2導電型の半導体層 54に接触されたカソード電極 46と、第1導電型の半導体層 53に接触された銀（Ag）や金（Au）等の金属 55bとニッケル（Ni）等の金属 55aからなるアノード電極 55を備えている。

【0041】

また、ガードリング部 42は、N型半導体層 52の上部に第2導電型（P型）半導体層 56が形成され、その上部にSiO₂等の絶縁層 57が堆積されている。ガードリング部 42の上には、リーク電流抑制のために、絶縁層 57であるSiO₂が剥き出しにならないようにポリイミドや窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）、燐ガラス（PSG）、非ドープケイ酸塩ガラス（NSG）、二酸化ケイ素（SiO₂）等のパッシベーション膜 50で表面を覆う。また、パッシベーション膜 50は、作動部 41の上部にはかからない。

【0042】

この半導体装置を構成する半導体は、例えば、シリコン（Si）であるが、それに限らずガリウムヒ素（GaAs）などの化合物半導体でもよい。カソード電極 46は、アルミニウムシリコン（AlSi）であり、アノード電極 55と基板 58は半田 59aで接合されている。また、下部放熱板 44はアルミニウムや銅等で形成される。また、上部放熱板（ストラップ） 45もアルミニウムや銅等で形成される。

【0043】

基板 58は両面に銅等からなる金属薄板（図示せず）が接着されたアルミナや窒化アルミニウム等からなる。基板 58は半田等により下部放熱板 44上に接合され、アノード電極 55は半田 59a等の導電性材料で、基板 58上の金属薄板に電気的に接続されて、半導体素子 43は基板 58を介して下部放熱板 44上に搭載される。また、上部放熱板（ストラップ） 45は、基板 58に半田 59bによって接合されている。

【0044】

ダイオードモジュール 40は、下部放熱板 44下で高熱伝導性のグリース等によってヒートシンク等の放熱器に接合されており、ダイオードモジュールの運転時に半導体素子（ダイオード素子） 43で発生する熱を下部放熱板 44と上部放熱板 45を介して放熱器に伝導して放熱し、これによりダイオード素子 43が冷却される。このように構成されるダイオードモジュール 40では、ダイオード素子 43で発生する熱は、アノード電極 55側のダイオード素子 43下面から基板 58と下部放熱板 44を介して放熱器に伝導される。一方カソード電極 46側のダイオード素子 43上面では、上部放熱板 45が接着剤 49を介してダイオード素子 43のカソード電極 46に接合され、さらにこの上部放熱板 45は半田 59b等により基板 58に接合されている。上部放熱板 45は断面積の大きな平板状であるため、熱伝導路として用いられ、ダイオード素子 43で発生する熱は、ダイオード素子 43のカソード電極 46側のダイオード素子 43上面からも、接着剤 49、上部放熱

板45、基板58および下部放熱板44を介して放熱器に伝導される。

【0045】

このように、ダイオード素子43で発生する熱は、ダイオード43のカソード電極46側、アノード電極55側の両側から放熱器へ伝導するので、従来のダイオードモジュールのようにダイオード素子43のアノード電極55側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これによりダイオードモジュール40の冷却性能が向上し、ダイオード素子43の発熱温度を低減することができる。また、上部放熱板45を金属で構成したため、ダイオード素子43からの放熱を担うだけでなく、ダイオード素子43とカソード用の外部電極端子（図示せず）間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

【0046】

さらに、この上部放熱板45は、ガードリング部42上部のパッシベーション膜50との間に間隙51があり、パッシベーション膜50と接合していないので、温度上昇があったときの上部放熱板45の膨張とパッシベーション膜50、ガードリング部42の熱膨張が異なっているためガードリング部42のN型高抵抗層52やP型半導体層56、N⁺型半導体層53が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板にはクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜50がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起きにくくなり、セル破壊を低減することができる。

【0047】

図4は、本発明の第3の実施形態に係る半導体装置のモジュール構造の主要部を示す断面図である。この実施形態での半導体装置モジュール60は、絶縁ゲート型バイポーラトランジスタ（IGBT）とダイオードを有している。そして、IGBT素子は第1の実施形態で説明したものと同様であるので、図1で示したものと同様の符号を付し、また、ダイオード素子は、第2の実施形態で説明したものと同様であるので、図3で示したものと同様の符号を付してそれらの素子構造の詳細な説明は省略する。

【0048】

簡単に説明すると、半導体装置モジュール60は、半導体素子（IGBT素子）13と半導体素子（ダイオード素子）43を冷却する放熱板61、62を備えている。放熱板61、62は、半導体素子13、43の下部に設けられた下部放熱板61と、作動部11、41の上部の電極16、46と接合し、ガードリング部12、42の上部に堆積されたパッシベーション膜20、50とは接合しない上部放熱板62から成っている。

【0049】

半導体装置モジュール60は、下部放熱板61下で高熱伝導性のグリース等によってヒートシンク等の放熱器に接合されており、半導体装置モジュール60の運転時にIGBT素子13とダイオード素子43で発生する熱を下部放熱板61と上部放熱板62を介して放熱器に伝導して放熱し、これによりIGBT素子13とダイオード素子43が冷却される。このように構成される半導体装置モジュール60では、IGBT素子13とダイオード素子43で発生する熱は、コレクタ電極29側のIGBT素子13下面から基板34と下部放熱板61を介して放熱器に伝導され、また、アノード電極55側のダイオード素子43下面から基板58と下部放熱板61を介して放熱器に伝導される。

【0050】

一方エミッタ電極16側のIGBT素子13上面では、上部放熱板62が接着剤19を介してIGBT素子13のエミッタ電極16に接合され、また、カソード電極46側のダイオード素子43上面では、上部放熱板62が接着剤49を介したダイオード素子43のカソード電極46に接合され、さらにこの上部放熱板62は半田等63により基板に接合されている。上部放熱板62は断面積の大きな平板状であるため、熱伝導路として用いられ、IGBT素子13で発生する熱は、IGBT素子13のエミッタ電極16側のIGBT素子13上面からも、接着剤19、上部放熱板62、基板58および下部放熱板61を

介して放熱器に伝導される。また、ダイオード素子43で発生する熱は、ダイオード素子43のカソード電極46側のダイオード素子43上面からも、接着剤49、上部放熱板62、基板58および下部放熱板61を介して放熱器に伝導される。

【0051】

このように、IGBT素子13で発生する熱は、IGBT13のエミッタ電極16側、コレクタ電極29側の両側から放熱器へ伝導し、また、ダイオード素子43で発生する熱は、ダイオード43のカソード電極46側、アノード電極55側の両側から放熱器へ伝導するので、従来の半導体装置モジュールのようにIGBT素子のコレクタ電極側と、ダイオード素子のアノード電極側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これにより半導体装置モジュールの冷却性能が向上し、IGBT素子13とダイオード素子43の発熱温度を低減することができる。また、上部放熱板62を金属で構成したため、IGBT素子13とダイオード素子43からの放熱を担うだけでなく、IGBT素子13とエミッタ用の外部電極端子間を接続し、また、ダイオード素子43とカソード用の外部電極端子間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

【0052】

さらに、この上部放熱板62は、ガードリング部12上部のパッシベーション膜20との間に間隙21があり、パッシベーション膜20と接合していないので、温度上昇があったときの上部放熱板62の膨張とパッシベーション膜20、ガードリング部12の熱膨張が異なっているためガードリング部12のN型高抵抗層22やP型半導体層30、N⁺型バッファ層23、コレクタ層28が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板でのクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜20がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起りにくくなり、セル破壊を低減することができる。

【0053】

また、この上部放熱板62は、ガードリング部42上部のパッシベーション膜50との間に間隙51があり、パッシベーション膜50と接合していないので、温度上昇があったときの上部放熱板62の膨張とパッシベーション膜50、ガードリング部42の熱膨張が異なっているためガードリング部42のN型高抵抗層52やP型半導体層56、N⁺型半導体層53が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板にはクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜50がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起きにくくなり、素子破壊を低減することができる。

【0054】

以上のように、本発明によれば、パワー半導体素子の上面側にリードと放熱板を兼ね備えたストラップを装着することで起こるセル破壊、素子破壊やガードリング部に応力がかかることを原因とした耐圧低下を防ぐことが可能となる。

【0055】

なお、本実施形態においては、第1導電型半導体としてN型半導体を用い、第2導電型半導体としてP型半導体を用いて説明したが、それに限らず、第1導電型半導体としてP型半導体を用い、第2導電型半導体としてN型半導体を用いるようにしても良い。

【産業上の利用可能性】

【0056】

本発明は、熱応力によるセル破壊や素子破壊を避けることができるモジュール構造を有する半導体装置として利用することができる。

【図面の簡単な説明】

【0057】

【図1】本発明の第1の実施形態に係る半導体装置のモジュール構造の主要部を示す

断面図である。

【図 2】本発明の第 1 の実施形態に係る半導体装置（トレンチ構造）のモジュール構造の主要部を示す断面図である。

【図 3】本発明の第 2 の実施形態に係る半導体装置のモジュール構造の主要部を示す断面図である。

【図 4】本発明の第 3 の実施形態に係る半導体装置のモジュール構造の主要部を示す断面図である。

【図 5】従来の I G B T のモジュール構造を示す断面図である。

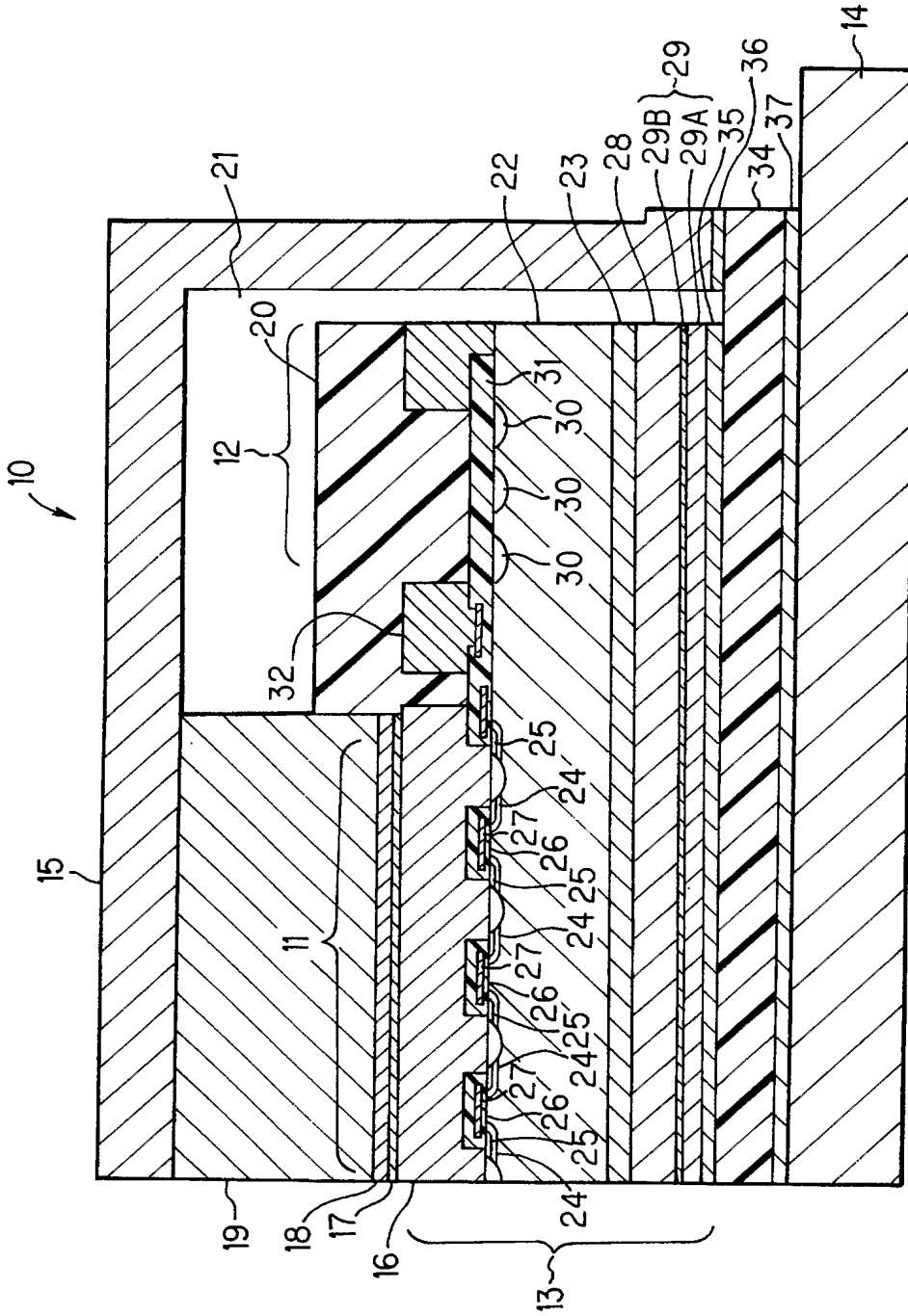
【図 6】従来のダイオードのモジュール構造を示す断面図である。

【符号の説明】

【 0 0 5 8 】

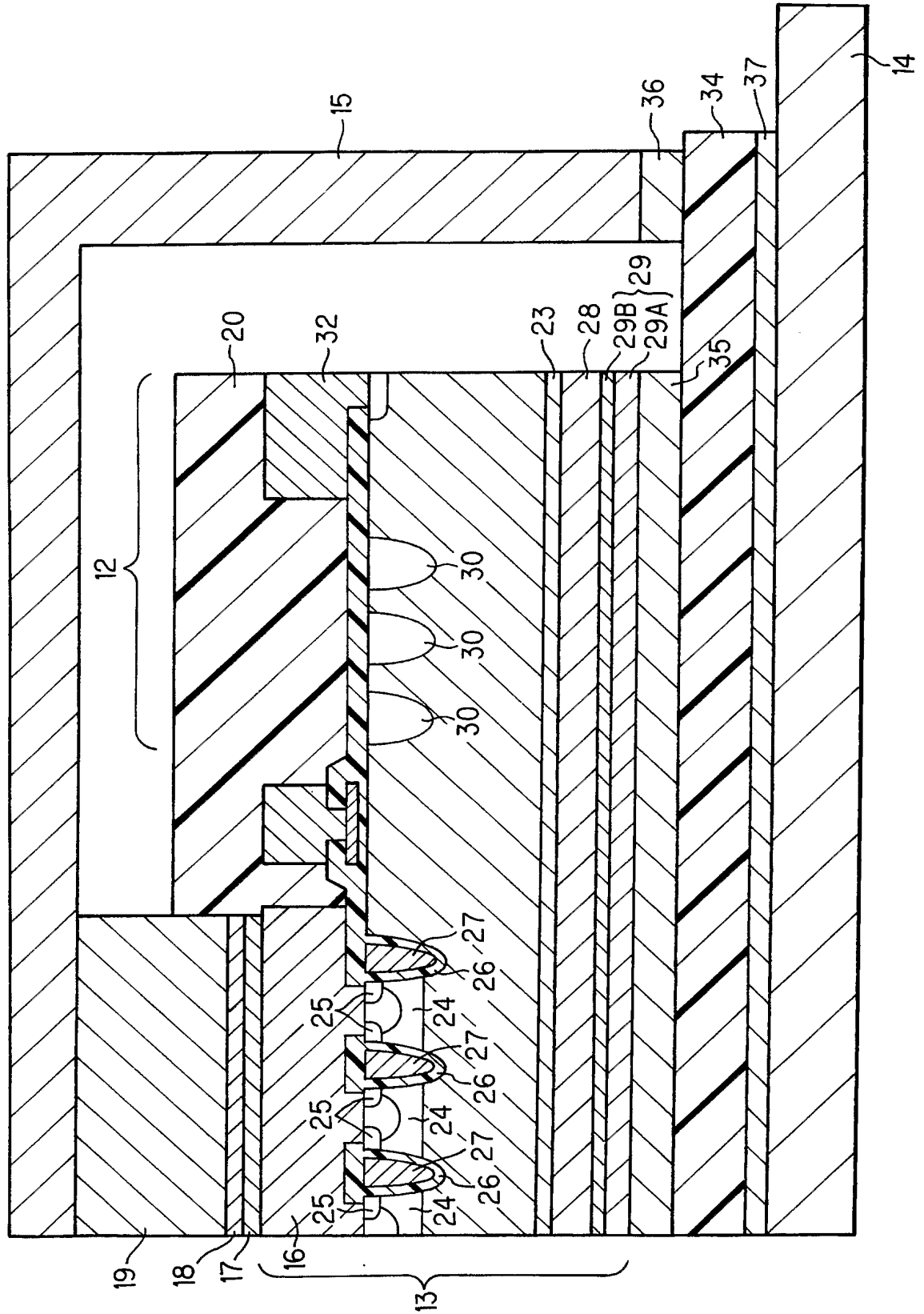
1 0	I G B T モジュール
1 1	作動部
1 2	ガードリング部
1 3	半導体素子
1 4	下部放熱板
1 5	上部放熱板
1 6	エミッタ電極
1 7	金属
1 8	金属
1 9	接着剤
2 0	パッシベーション膜
2 1	隙間
2 2	N 型高抵抗層
2 3	N ⁺ 型バッファ層
2 4	P ⁺ 型ベース層
2 5	N 型エミッタ領域
2 6	絶縁体
2 7	ゲート電極
2 8	コレクタ層
2 9	コレクタ電極
3 0	P 型半導体層
3 1	絶縁層
3 4	基板
3 5	半田
3 6	半田
3 7	半田

【書類名】 図面
【図 1】

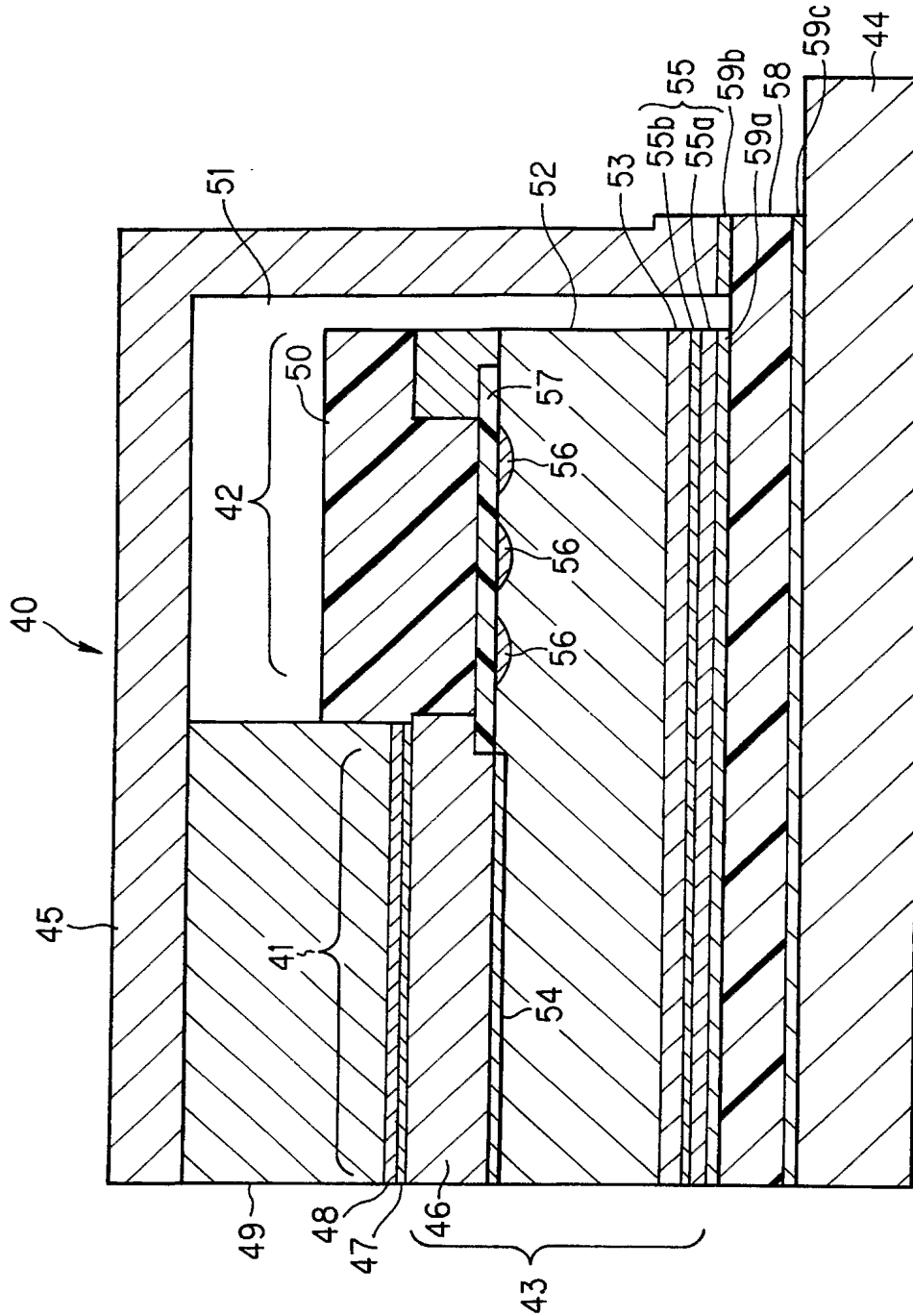


- | | | | |
|--------------|--------------|--------------|--------|
| 10 IGBTモジュール | 17 金属 | 24 P-型ベース層 | 31 絶縁層 |
| 11 作動部 | 18 金属 | 25 N-型エミッタ領域 | 34 基板 |
| 12 ガードリング部 | 19 接合剤 | 26 絶縁体 | 35 半田 |
| 13 半導体素子 | 20 パッシベーション膜 | 27 ゲート電極 | 36 半田 |
| 14 下部放熱板 | 21 間隙 | 28 コレクタ層 | 37 半田 |
| 15 上部放熱板 | 22 N-型高抵抗層 | 29 コレクタ電極 | |
| 16 エミッタ電極 | 23 N+型バッファ層 | 30 P-型半導体層 | |

【図 2】

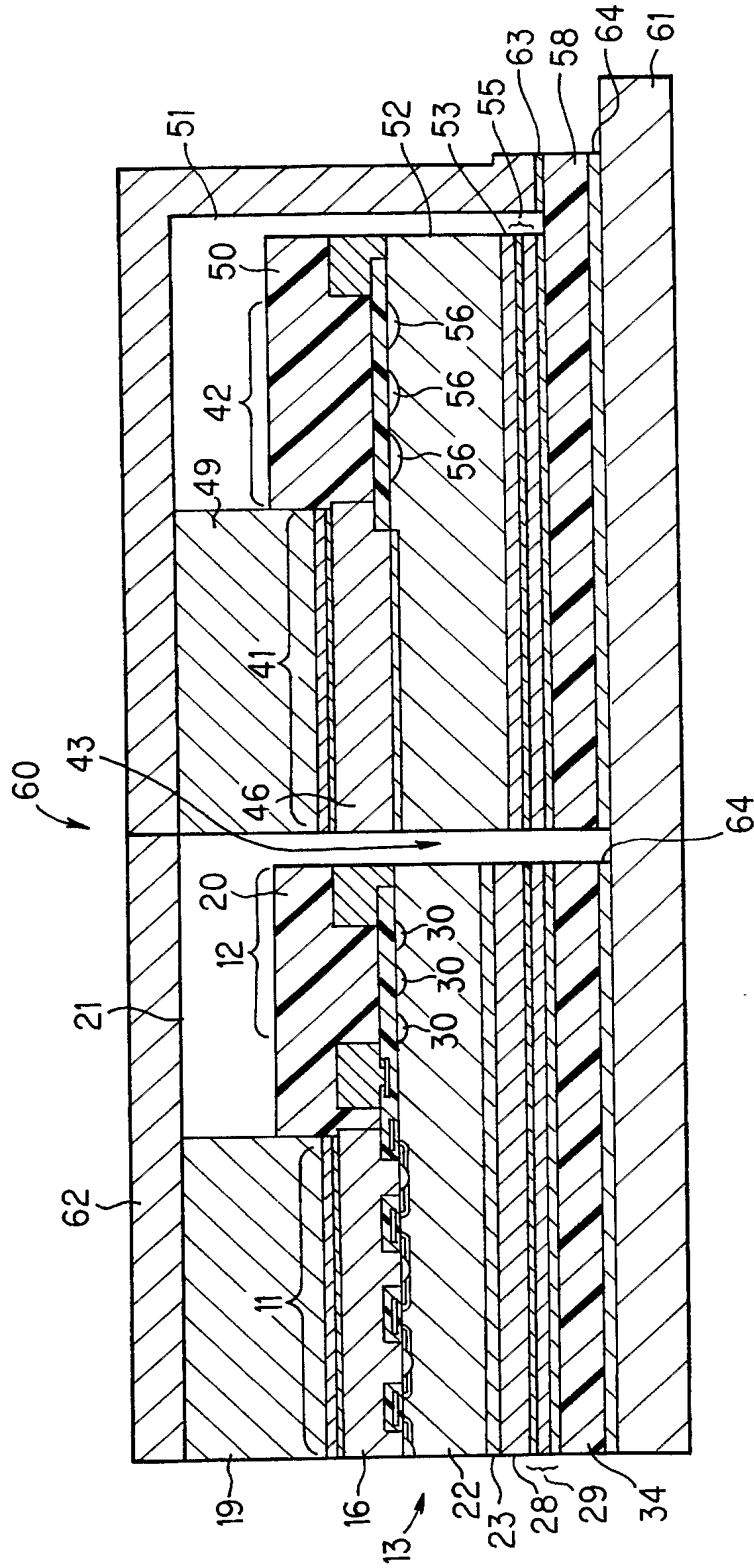


【図3】



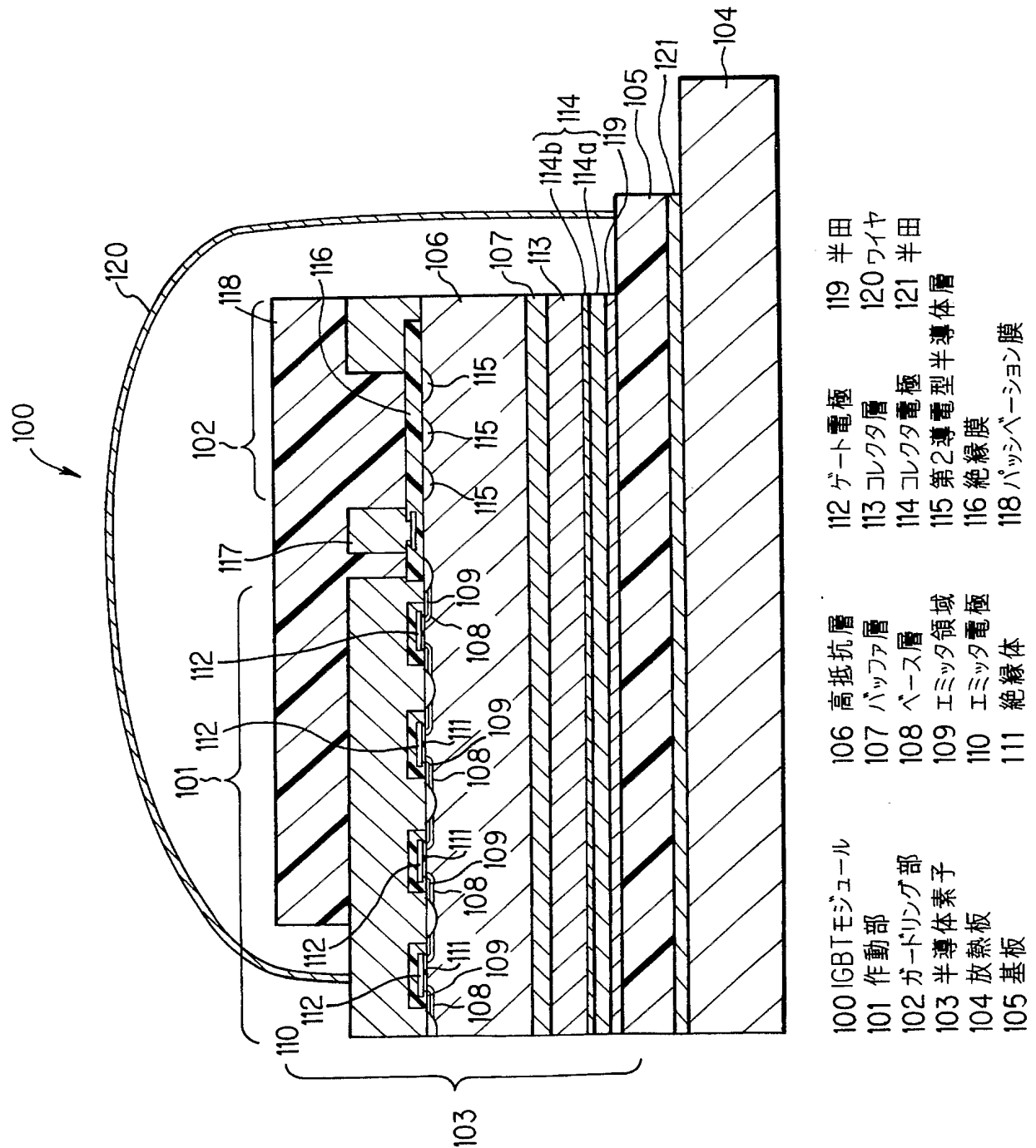
- 40 ダイオードモジュール
- 41 作動部
- 42 ガーディング部
- 43 半導体素子
- 44 下部放熱板
- 45 上部放熱板
- 46 カソード電極
- 47 金属
- 48 金属
- 49 接着剤
- 50 パッシベーション膜
- 51 間隙
- 52 N型高抵抗層
- 53 N型半導体層
- 54 P型半導体層
- 55 アノード電極
- 56 P型半導体層
- 57 絶縁層
- 58 基板
- 59a 半田
- 59b 半田
- 59c 半田

【図4】

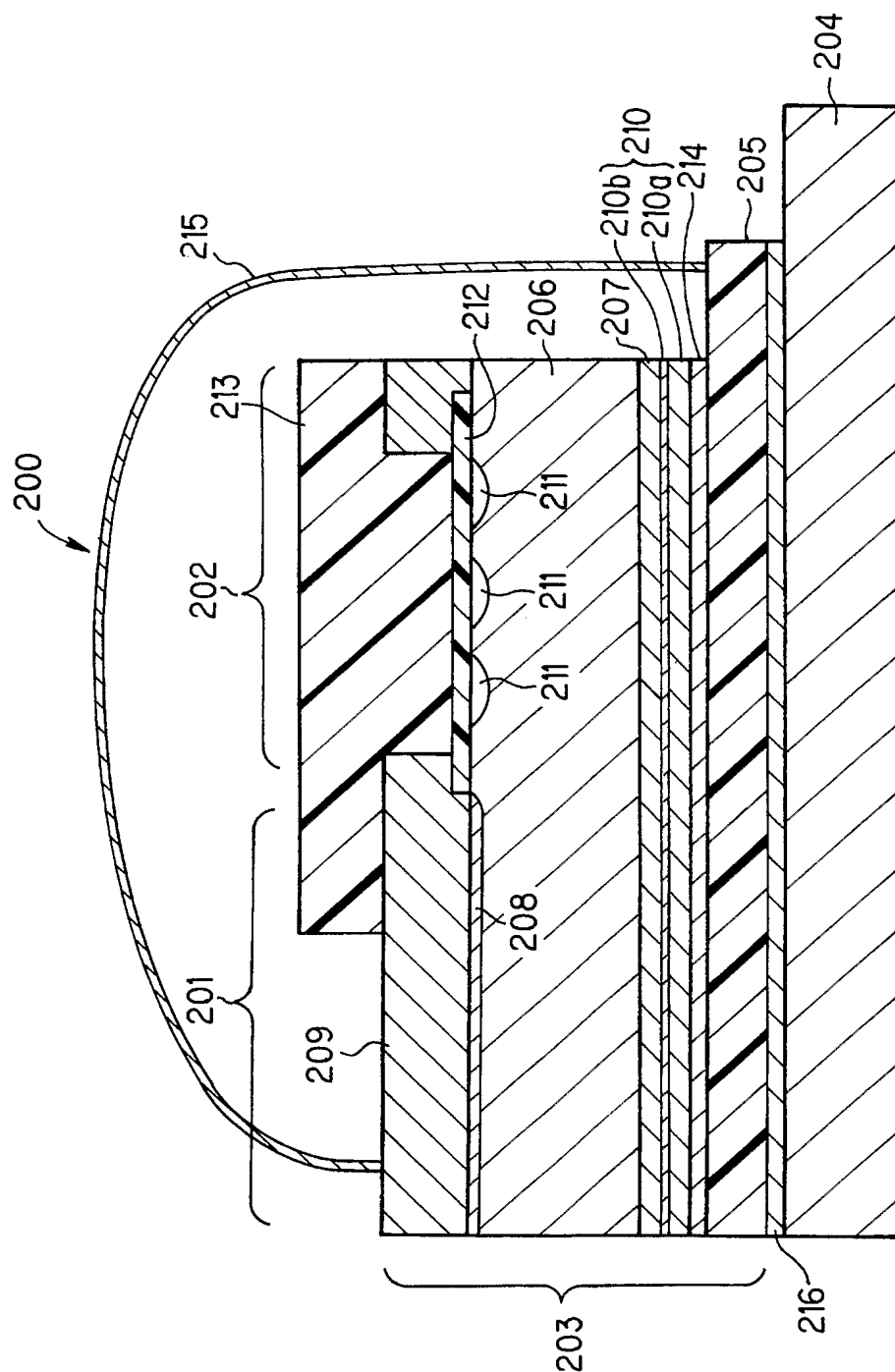


60 半導体モジュール
61 下部放熱板
62 上部放熱板
63 半田
64 半田

【図5】



【図 6】



200ダイオードモジュール

201 作動部

202 ガーディング部

203 半導體素子

204 放熱板

205 基板

206 N型高抵抗層

207 N⁺型半導體層

208 P⁺型半導體層

209 カソード電極

210 アノード電極

211 P型半導體層

212 絶縁体

213 パッシブ—シオン膜

田半 214

215 ワイヤ

216 半田

【書類名】 要約書

【要約】

【課題】 ガードリング部に発生する応力を低減し、耐圧低下とセル破壊が生じにくい半導体装置のモジュール構造を提供する。

【解決手段】 第1導電型の高抵抗層と、第1導電型の高抵抗層の上部に形成された第2導電型のベース層と、第2導電型のベース層の上部に形成された第1導電型のエミッタ領域と、エミッタ領域に接続されるエミッタ電極と、第2導電型のベース層に隣接して絶縁されたゲート電極と、エミッタ領域を含むセル領域周囲の拡散を深くしたガードリング部と、ガードリング部の上部に形成し、かつ、セル領域の上部にはかからないパッシベーション膜と、第1導電型のバッファ層の下面に形成される第2導電型のコレクタ層と、コレクタ層に接続されるコレクタ電極と、パッシベーション膜に非接触となる高さでエミッタ電極に接続される金属平板の上部放熱部を備えた。

【選択図】 図1

【書類名】 手続補正書
【提出日】 平成16年11月18日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2004- 8022
【補正をする者】
【識別番号】 000005326
【氏名又は名称】 本田技研工業株式会社
【代理人】
【識別番号】 100067356
【弁理士】
【氏名又は名称】 下田 容一郎
【手続補正1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 北村 謙二
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 谷高 真一
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 遠藤 陸男
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 富永 雄二郎
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 田中 俊秀
【発明者】
【住所又は居所】 埼玉県狭山市新狭山1丁目10番地1 ホンダエンジニアリング株式会社内
【氏名】 佐藤 浩一郎
【その他】 平成16年1月15日付け本出願がなされましたが、発明者の欄に誤記がありました。『遠藤 隆男』と記載いたしましたが、『遠藤 陸男』が正しい表記です。これは願書作成時の錯誤によるものです。よって、本手続補正書にて発明者の欄を訂正いたします。

認定・付加情報

特許出願の番号	特願 2004-008022
受付番号	50401970975
書類名	手続補正書
担当官	中村 佳代 7842
作成日	平成 16 年 11 月 25 日

<認定情報・付加情報>

【補正をする者】

【識別番号】

000005326

【住所又は居所】

東京都港区南青山二丁目 1 番 1 号

【氏名又は名称】

本田技研工業株式会社

【代理人】

申請人

【識別番号】

100067356

【住所又は居所】

東京都港区赤坂一丁目 1 番 12 号 明産溜池ビル
8 階 下田・田宮特許事務所

【氏名又は名称】

下田 容一郎

特願 2 0 0 4 - 0 0 8 0 2 2

ページ : 1/E

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 3 2 6]

1 . 変更年月日

1 9 9 0 年 9 月 6 日

[変更理由]

新規登録

住 所

東京都港区南青山二丁目 1 番 1 号

氏 名

本田技研工業株式会社